

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Mitsuaki Osame et al. Art Unit : Unknown
Serial No. : New Application Examiner : Unknown
Filed : December 11, 2003
Title : SHIFT REGISTER AND DRIVING METHOD THEREOF

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirms their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2002-368888 filed December 19, 2002

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: December 11, 2003



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W., 11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月19日

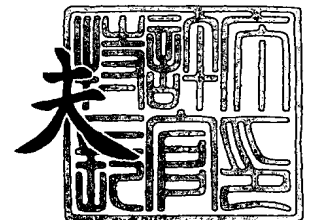
出願番号
Application Number: 特願2002-368888
[ST. 10/C]: [JP2002-368888]

出願人
Applicant(s): 株式会社半導体エネルギー研究所

2003年10月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3088974

【書類名】 特許願

【整理番号】 P006818

【提出日】 平成14年12月19日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 納 光明

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 安西 彩

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シフトレジスタ及び電子機器

【特許請求の範囲】

【請求項 1】

クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって

、
前記レベルシフタは、直列に接続された容量手段及びインバータと、前記インバータの入力部と出力部の間に設けられたスイッチを有し、

前記レベルシフタは出力の電位を固定する第 1 の手段を有し、

前記インバータの入力部は電位を固定する第 2 の手段を有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成し、

リセット期間において、前記スイッチがオンし、前記インバータの入力部及び出力部が前記インバータの閾値電位となり、前記容量手段の第 1 の電極が前記閾値電位となり、前記容量手段の第 2 の電極は基準電位となり、

クロック取り込み期間において、前記容量手段の第 2 の電極にクロック信号が入力され、前記基準電位からの電位の変動により、前記レベルシフタは電源電位の H レベル及び L レベルをクロック信号に対応して出力し、

前記インバータの出力が不定の期間において、前記第 1 の手段によって、前記レベルシフタの出力の電位を固定し、

前記レベルシフタが動作していない期間において、前記第 2 の手段によって、前記インバータの入力部の電位を固定することを特徴とするシフトレジスタ。

【請求項 2】

請求項 1 において、

前記基準電位に前記クロック信号の H レベルと L レベルの電位を用いることを特徴とするシフトレジスタ。

【請求項 3】

クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって

、
前記レベルシフタは、直列に接続された容量手段、第 1 のインバータ及び第 2

のインバータと、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、
前記第1のインバータの入力部と電源との間に設けられた第2のスイッチとを有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第3のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とするシフトレジスタ。

【請求項4】

クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、直列に接続された第1のインバータ及び第2のインバータと、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、
前記第1のインバータの入力部と電源との間に設けられた第2のスイッチと、
前記第1のインバータの入力部に第1の電極が接続された第1の容量手段及び第2の容量手段と、

前記第1の容量手段の第2の電極に基準電位としてクロック信号のHレベルを入力する第3のスイッチと、

前記第2の容量手段の第2の電極に基準電位としてクロック信号のLレベルを入力する第4のスイッチとを有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第5のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とするシフトレジスタ。

【請求項5】

クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは直列に接続された第1のインバータと、第2のインバータ

と、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、
前記第1のインバータの入力部と電源との間に設けられた第2のスイッチと、
前記第1のインバータの入力部に第1の電極が接続された第1の容量手段及び
第2の容量手段と、

前記第1の容量手段の第2の電極に出力部が接続された第3のインバータと、
前記第3のインバータの入力部と出力部の間に設けられた第3のスイッチと、
前記第3のインバータの入力部と電源との間に設けられた第4のスイッチと、
前記第3のインバータの入力部に第1の電極が接続された第3の容量手段と、
前記第3の容量手段の第2の電極にクロック信号のHレベルの電位を入力する
第5のスイッチと、

前記第2の容量手段の第2の電極に出力部が接続された第4のインバータと、
前記第4のインバータの入力部と出力部の間に設けられた第6のスイッチと、
前記第4のインバータの入力部と電源との間に設けられた第7のスイッチと、
前記第4のインバータの入力部に第1の電極が接続された第4の容量手段と、
前記第4の容量手段の第2の電極にクロック信号のLレベルの電位を入力する
第8のスイッチとを有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において
、前記レベルシフタの出力の電位を固定する第9のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成する
ことを特徴とするシフトレジスタ。

【請求項6】

請求項1及至請求項5に記載のシフトレジスタを用いることを特徴とする電子
機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、映像信号を入力して映像表示を行うアクティブマトリクス型表示装
置に関する。さらに、映像信号を順次サンプリングしていくサンプリングパルス

を生成するシフトレジスタに関する。

【0002】

【従来の技術】

近年、液晶表示装置や発光装置などのアクティブマトリクス型表示装置は、携帯機器向け等の需要の増加から開発が進められている。特に絶縁体上に多結晶半導体（ポリシリコン）により形成されたトランジスタを用い、画素及び駆動回路（以下、内部回路と称する。）を一体形成する技術は活発に開発が進められている。内部回路はソース信号線駆動回路、ゲート信号線駆動回路等を有し、マトリクス状に配置された画素を制御する。

【0003】

また、内部回路はフレキシブルプリント基板（FPC）等を介してコントローラIC等（以下、外部回路と称する。）と接続され、その動作が制御される。一般的に、外部回路に用いるICは単結晶のため、内部回路の電源電圧より低い電圧で動作する。現状では、通常、外部回路は3.3Vの電源電圧で動作するが、内部回路は10V程度の電源電圧で動作する。よって、外部回路のクロック（以後、CKと表記）信号で内部回路のシフトレジスタを動作させるためには、レベルシフタ等でCK信号を内部回路の電源電圧と同程度の電圧に増幅する必要がある。

【0004】

外部回路でCK信号を増幅する場合にはレベルシフタIC、電源IC等の部品の増加、消費電力の増加等の問題が生じる。内部回路においては、FPCの入力部にCK信号を増幅するレベルシフタを設け、シフトレジスタ全段に供給すると、レイアウト面積の増加、消費電力の増加、高周波動作が困難等の問題を生じる。

【0005】

そのため、低電圧のCK信号で動作するシフトレジスタが提案されている。この発明のシフトレジスタは差動増幅型のデータ転送部を備えることにより、低電源電圧、低電圧入力信号であっても十分に動作することができるとしている（例えば、特許文献1参照）。

【0006】

【特許文献 1】

特開平 11-184432 号公報

【0007】

【発明が解決しようとする課題】

前記差動増幅型のデータ転送部を備えるシフトレジスタは、差動増幅器を構成するトランジスタ特性が想定していた特性から外れた時には、シフトレジスタが誤動作する場合がある。単結晶ではないポリシリコンTFT等においては、特性ばらつきは無視できない問題である。

【0008】

本発明は上記の問題点を鑑みてなされたものであり、トランジスタの特性ばらつきの影響を受けにくい、低消費電力のシフトレジスタを提供することを課題とするものである。

【0009】

【課題を解決するための手段】

本発明は、閾値電位を取得したインバータの入力部に容量手段を介してCK信号を入力することで、CK信号は増幅され、その増幅したCK信号をシフトレジスタに用いる。つまり、インバータの閾値電位を取得することで、トランジスタの特性ばらつきに殆ど影響しないシフトレジスタを提供することができる。

【0010】

また、CK信号のレベルシフタは、シフトレジスタの出力パルスを用いて生成した制御信号により動作するため、CK信号の増幅が必要な短期間だけ動作する。これにより、CK信号のレベルシフタは貫通電流が流れる期間が短く、低消費電力のシフトレジスタを提供することができる。

【0011】

本発明の構成を以下に記す。

【0012】

本発明のシフトレジスタは、CK信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成し、

前記レベルシフタは、直列に接続された容量手段及びインバータと、前記インバータの入力部と出力部の間に設けられたスイッチを有し、

リセット期間において、前記スイッチがオンし、前記インバータの閾値電位が取得され、前記容量手段の第 1 の電極が前記閾値電位となり、前記容量手段の第 2 の電極は基準電位となり、

CK取り込み期間において、前記容量手段の第 2 の電極にCK信号が入力され、前記基準電位からの電位の変動により、前記レベルシフタは電源電位のHレベル及びLレベルを出力し、

前記インバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する手段を有し、

前記レベルシフタが動作していない期間において、前記インバータの入力部の電位を固定する手段を有することを特徴としている。

【 0 0 1 3 】

本発明によると、

前記基準電位に前記CK信号のHレベルとLレベルの電位を用いてもよい。

【 0 0 1 4 】

本発明のシフトレジスタは、

CK信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、直列に接続された容量手段、第 1 のインバータ及び第 2 のインバータと、

前記第 1 のインバータの入力部と出力部の間に設けられた第 1 のスイッチと、
前記第 1 のインバータの入力部と電源との間に設けられた第 2 のスイッチとを有し、

前記第 2 のインバータは、前記第 1 のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第 3 のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴としている。

【 0 0 1 5 】

本発明のシフトレジスタは、

CK信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、
前記レベルシフタは、直列に接続された第1のインバータ及び第2のインバータと、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、
前記第1のインバータの入力部と電源との間に設けられた第2のスイッチと、
前記第1のインバータの入力部に第1の電極が接続された第1の容量手段及び第2の容量手段と、

前記第1の容量手段の第2の電極に基準電位としてCK信号のHレベルを入力する第3のスイッチと、

前記第2の容量手段の第2の電極に基準電位としてCK信号のLレベルを入力する第4のスイッチとを有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第5のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴としている。

【0016】

本発明のシフトレジスタは、

CK信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、
前記レベルシフタは直列に接続された第1のインバータと、第2のインバータと、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、
前記第1のインバータの入力部と電源との間に設けられた第2のスイッチと、
前記第1のインバータの入力部に第1の電極が接続された第1の容量手段及び第2の容量手段と、

前記第1の容量手段の第2の電極に出力部が接続された第3のインバータと、
前記第3のインバータの入力部と出力部の間に設けられた第3のスイッチと、
前記第3のインバータの入力部と電源との間に設けられた第4のスイッチと、
前記第3のインバータの入力部に第1の電極が接続された第3の容量手段と、
前記第3の容量手段の第2の電極にCK信号のHレベルの電位を入力する第5

のスイッチと、

前記第2の容量手段の第2の電極に出力部が接続された第4のインバータと、
前記第4のインバータの入力部と出力部の間に設けられた第6のスイッチと、
前記第4のインバータの入力部と電源との間に設けられた第7のスイッチと、
前記第4のインバータの入力部に第1の電極が接続された第4の容量手段と、
前記第4の容量手段の第2の電極にCK信号のLレベルの電位を入力する第8
のスイッチとを有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において
、前記レベルシフタの出力の電位を固定する第9のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成する
ことを特徴としている。

【0017】

【発明の実施の形態】

【実施形態1】

図1（A）に本実施形態のシフトレジスタのCK信号を増幅するレベルシフタ
の第1の構成を示す。

【0018】

本実施形態のレベルシフタはCK取り込み用スイッチ1001、リファレンス
用スイッチ1002、閾値セット用スイッチ1003、容量手段1004、補正
インバータ1005、電位固定用スイッチ1006、出力インバータ1007を
有し、出力インバータ1007は第1のP型TF T、第2のP型TF T及びN型
TF Tを有する。

【0019】

CK取り込み用スイッチ1001はシフトレジスタの出力パルスから生成した
信号②によりオンオフを制御され、CK信号が取り込まれる。リファレンス用ス
イッチ1002はシフトレジスタの出力パルスから生成した信号①によりオンオ
フを制御され、CK取り込み用スイッチ1001と容量手段1004との接続部
に、基準電位を取り込む。補正インバータ1005の入力部、出力部は閾値セッ
ト用スイッチ1003を介し、電氣的に接続されており、前記閾値セット用ス

ッチ1003のオンオフは信号①により制御されている。ここで、CK取り込み用スイッチ1001、リファレンス用スイッチ1002、閾値セット用スイッチ1003、電位固定用スイッチ1006は制御信号がHレベルのときオンするとする。

【0020】

前記レベルシフタが動作していない期間、補正インバータ1005の誤動作や貫通電流を防止するため、補正インバータ1005の入力部は電位固定用スイッチ1006を介してGND電源と接続される。前記電位固定用スイッチ1006はシフトレジスタの出力パルスから生成した信号③によりオンオフが制御される。出力インバータ1007は、CK信号取り込みが開始されるまで、誤動作しないように、第1のP型TFT1008は、シフトレジスタの出力パルスから生成した信号④でオンオフが制御される。

【0021】

ここで、OUTはレベルシフタが動作していない期間はGND電位、CK信号のHレベルを取り込んだ時にはVDD電位になる設定である。このため、レベルシフタが動作していない期間は、補正インバータ1005の入力部はGND電位に固定してある。また、出力インバータ1007が第1のP型TFT1008のスイッチを設けているのは、補正インバータの出力が不定の時に誤動作しないようにするためである。

【0022】

図1(B)に本実施形態のレベルシフタのタイミングチャートを示す。図1(A)、(B)を用い、前記レベルシフタで低電圧のCK信号を増幅する動作について説明する。例として電位を明記して説明する。GNDは0V、VDDは7V、信号①、②、③及び④のHレベルは7V、Lレベルは0V、CK信号のHレベルは3V、Lレベルは0V、基準電位はCK信号の中間電位、1.5Vとする。

【0023】

まず期間T1はリセット期間である。信号①がHレベル(7V)となり、リファレンス用スイッチ1002、閾値セット用スイッチ1003がオンする。ノードaは基準電位(1.5V)となる。ノードbはノードcの電位がフィードバッ

クされ電位が動かない方向に働くので、補正インバータ1005の閾値電位（ここでは3.5Vとする）となる。ここで、容量手段1004の両端の電位差が保存される。

【0024】

続いて、CK取り込み期間T2に移り、信号②がHレベル（7V）となり、CK取り込み用スイッチ1001がオンする。T2期間の最初、CK信号はLレベル（0V）のため、ノードaの電位が1.5Vから0Vとなる。容量手段1004の両端の電位差は保持されるので、ノードbはノードaの電圧変化分程度変化する。よって、ノードbは3.5Vから1.5V程度下降する。

【0025】

図10に一般的なインバータのVIN-VOUT特性を示す。図10に示されているように、VINが閾値から上下どちらかに少しでも変動すると、VOUTは大きくVDD又はGNDに近づく。

【0026】

よって、T1期間においてノードbは補正インバータ1005の閾値電位にセットされていたため、ノードbの変化にノードcは敏感に反応する。この場合、ノードbの電位は下降しているため、ノードcはVDDに大きく近づく。そして、OUTの出力はGND（0V）のままである。

【0027】

次に、T2期間に、CK信号がLレベル（0V）からHレベル（3V）に変化する。これにより、ノードaは、0Vから3Vになり、ノードbは3.5+1.5V程度の電位に上昇する。よって、ノードcはGNDに近づく。この時、信号④はLレベル（0V）のため、OUTはVDD（7V）になる。

【0028】

また、T2期間の最後に、CK信号はHレベル（3V）からLレベル（0V）に変化する。これにより、ノードaは、3Vから0Vになり、ノードbは3.5-1.5V程度の電位に下降する。よって、ノードcはVDDに近づき、OUTはGND（0V）になる。こうして、図1（B）OUTのように、CK信号の半周期だけHレベル（7V）となるパルスが生成される。

【0029】

CK信号の増幅を終了した後、信号③がHレベル（7V）となり、電位固定用スイッチ1006がオンし、補正インバータ1005の入力部はGND（0V）に固定される。

【0030】

また、基準電位はCK信号振幅の中間電位が望ましいが、厳密に中間電位である必要はなく、前記CK信号の最高電位、最低電位と異なり、かつ、前記CK信号の振幅を出ない範囲で多少変動させることが可能である。この中間電位は、外部回路で生成してもいいし、内部回路で生成してもよい。

【0031】

本実施形態の通り、電源電圧に対してCK信号の振幅が小さくても、トランジスタの特性ばらつきの影響を殆ど受けることなく、CK信号を増幅することができる。また、レベルシフタが動作しない期間は、電位を固定し、誤動作防止や貫通電流が流れないようにしている。よって、低消費電力化が可能となる。このように、本発明は、トランジスタの特性ばらつきが大きい、ポリシリコンTFET等を用いたシフトレジスタに適している。

【0032】

[実施形態2]

図2（A）に本実施形態のシフトレジスタのCK信号を増幅するレベルシフタの第2の構成を示す。

【0033】

実施形態1では、基準電位として、CK信号の中間電位を用いる例を示したが、実施形態2では、中間電位を用いなくて、CK信号のHレベルとLレベルを基準電位として用いて、CK信号を増幅する例を示す。

【0034】

本実施形態のレベルシフタは第1のCK取り込み用スイッチ2001及び第2のCK取り込み用スイッチ2004、第1のリファレンス用スイッチ2002及び第2のリファレンス用スイッチ2005、Hセット用容量手段2003及びLセット用容量手段2006、閾値セット用スイッチ2007、補正インバータ2

008、電位固定用スイッチ2009、出力インバータ2010を有し、出力インバータ2010は、第1のP型TF T2011、第2のP型TF T2012及びN型TF T2013を有する。

【0035】

本実施形態のレベルシフタは、補正インバータ2008の入力部に接続される容量手段をHセット用容量手段2003とLセット用容量手段2006用の2つに分割する。補正インバータ2008と繋がるHセット用容量手段2003の反対側の端子には第1のリセット用スイッチ2002と第1のCK取り込み用スイッチ2001が接続され、Lセット用容量手段2006の反対側の端子には第2のリセット用スイッチ2005と第2のCK取り込み用スイッチ2004が接続される。ここで、Hセット用容量手段2003とLセット用容量手段2006の電気容量は等しいものとする。

【0036】

また、閾値セット用スイッチ2007、電位固定用スイッチ2009、出力インバータ2010は、実施形態1と同様に、補正インバータ2008の入力部と出力部の間に閾値セット用スイッチ2007が設けられている。そして、補正インバータ2008の出力には、出力インバータ2010が接続され、出力インバータ2010には、Hレベルの出力期間を制御する第1のP型TF T2011が設けられている。また、レベルシフタが動作しない期間、電位を固定するため、補正インバータの入力部は、電位固定用スイッチ2009を介してGNDと接続している。

【0037】

図2（B）に本実施形態のレベルシフタのタイミングチャートを示す。図2（A）、（B）を用い、本実施形態のレベルシフタで低電圧のCK信号を増幅する動作について説明する。例として電位を明記して説明する。GNDは0V、VDDは7V、信号①、②、③及び④のHレベルは7V、Lレベルは0V、CK信号のHレベルは3V、Lレベルは0V、基準電位はHレベルが3V、Lレベルは0Vとする。

【0038】

制御信号①、②、③、④のタイミングは実施形態1と同じである。まず、リセット期間T1において、第1のリファレンス用スイッチ2002及び第2のリファレンス用スイッチ2005がオンとなりノードeは3V、ノードfは0Vの電位となる。補正インバータ2008の入力部は閾値セット用スイッチ2007がオンとなり、補正インバータの閾値電位となる。ここで、Hセット用容量手段2003及びLセット用容量手段2006のそれぞれの容量手段の両端の電位差が保存される。

【0039】

続いてCK取り込み期間T2に移り、第1のCK取り込み用スイッチ2001及び第2のCK取り込み用スイッチ2004がオンする。最初、CK信号はLレベル（0V）のため、ノードeの電位は3Vから0Vとなり、ノードfの電位は0Vのままである。このノードeの変化により、ノードgの電位は補正インバータ2008の閾値電位から1.5V程度下降することになる。続いて、CK信号がHレベル（3V）になると、ノードfの変化により、ノードgの電位は補正インバータ2008の閾値電位から1.5V程度上昇した電位になる。T2期間の最後に、CK信号はLレベル（0V）になり、ノードgの電位は補正インバータ2008の閾値電位から1.5V程度下降した電位となる。こうして、図2（B）OUTのように、CK信号の半周期だけHレベル（7V）となるパルスが生成される。

【0040】

上記のように、基準電位として、CK信号の中間電位を用いず、CK信号のHレベル、Lレベルを用いて、CK信号の増幅が可能である。よって、CK信号の中間電位の電源を追加しなくても、CK信号のHレベル電源、Lレベル電源を用いることで、電源数の削減が可能である。

【0041】

[実施形態3]

図3（A）に本実施形態のシフトレジスタのCK信号を増幅するレベルシフタの第3の構成を示す。

【0042】

実施形態1や実施形態2では、CK信号を取り込んだ時の補正インバータの入

力部の閾値電位からの電位の変化はCK信号振幅の半分程度だったが、実施形態3では、CK信号振幅と同程度にすることができる例を示す。

【0043】

本実施形態のレベルシフタは第1及び第2のCK取り込み用スイッチ3001、3008、第1及び第2のリファレンス用スイッチ3002、3009、第1、第2、第3、第4及び第5の容量手段3003、3007、3010、3014、3015、第1及び第3の補正インバータ3005、3012、第1及び第2の閾値セット用スイッチ3004、3011、第1及び第2の電位固定用スイッチ3006、3013、第3の補正インバータ3017、第3の閾値セット用スイッチ3016、第3の電位固定用スイッチ3018、出力インバータ3019を有する。

【0044】

本実施形態のレベルシフタは、第3の補正インバータ3017の入力部に接続される容量手段を第2の容量手段3007と第4の容量手段3014の2つに分割する。第3の補正インバータ3017と繋がる第2の容量手段3007の反対側の端子には第1の補正インバータ3005の出力部が接続され、第1の補正インバータ3005の入力部は第1の容量手段3003と接続される。第1の補正インバータ3005の入力部と出力部は第1の閾値セット用スイッチ3004を介して電氣的に接続され、第1の補正インバータ3005の入力部は、第1の電位固定用スイッチ3006を介してVDDと接続される。第1の補正インバータ3005と接続される第1の容量手段3003の反対側の端子には第1のCK取り込み用スイッチ3001と第1のリファレンス用スイッチ3002が接続される。第1のCK取り込み用スイッチ3001からCK信号を、第1のリファレンス用スイッチ3002から基準電位を取り込む。

【0045】

第3の補正インバータ3017と繋がる第4の容量手段3014の反対側の端子には第2の補正インバータ3012の出力部が接続され、第2の補正インバータ3012の入力部は第3の容量手段3010と接続される。第2の補正インバ

ータ 3012 の入力部と出力部は第 2 の閾値セット用スイッチ 3011 を介して電氣的に接続され、第 2 の補正インバータ 3012 の入力部は、第 2 の電位固定用スイッチ 3013 を介して VDD と接続される。また、第 1 の補正インバータ 3005 の入力部と第 2 の補正インバータ 3012 の入力部は第 5 の容量手段 3015 で接続される。第 2 の補正インバータ 3012 と接続される第 2 の容量手段 3010 の反対側の端子には第 2 の CK 取り込み用スイッチ 3008 と第 2 のリファレンス用スイッチ 3009 が接続される。第 2 の CK 信号取り込み用スイッチ 3008 から CK 信号を、第 2 のリファレンス用スイッチ 3009 から基準電位を取り込む。

【0046】

また、第 3 の補正インバータ 3017 の入力部と出力部は第 3 の閾値セット用スイッチ 3016 を介して接続され、補正インバータ 3017 の入力部は、第 3 の電位固定用スイッチ 3018 を介して GND に接続される。第 3 の補正インバータ 3017 の出力は出力インバータ 3019 に接続され、出力インバータ 3019 には VDD を出力する期間を制御する第 1 の P 型 TFT 3020 を設けている。ここで、第 1、第 2、第 3 及び第 4 の容量手段の電気容量は等しく、第 5 の容量手段の電気容量は第 1、第 2、第 3 及び第 4 の容量手段の電気容量より十分小さいものとする。

【0047】

図 4 に本実施形態のレベルシフタのタイミングチャートを示す。図 3、図 4 を用い、本実施形態のレベルシフタで低電圧の CK 信号を増幅する動作について説明する。例として電位を明記して説明する。GND は 0 V、VDD は 7 V、信号①、②、③及び④の H レベルは 7 V、L レベルは 0 V、CK 信号の H レベルは 3 V、L レベルは 0 V、基準電位は H レベルが 3 V、L レベルが 0 V とする。

【0048】

制御信号①、②、③及び④のタイミングは実施形態 1、2 と同じである。まず、リセット期間 T1 において、第 1 及び第 2 のリファレンス用スイッチ 3002 及び 3009 がオンとなりノード i は 3 V、ノード j は 0 V の電位となる。同時に、第 1、第 2 及び第 3 の閾値セット用スイッチ 3004、3011 及び 301

6 がオンとなり、第 1、第 2 及び第 3 の補正インバータ 3005、3012 及び 3017 の入出力部は、第 1、第 2、及び第 3 の補正インバータ 3005、3012 及び 3017 の閾値電位（3.5 V とする）となる。ここで、第 1、第 2、第 3、第 4 及び第 5 の容量手段の両端の電位差が保存される。

【0049】

続いて CK 取り込み期間 T₂ に移り、第 1 及び第 2 の CK 取り込み用スイッチ 3001 及び 3008 がオンする。まずは、CK 信号は H レベル（3 V）のため、ノード i の電位は 3 V のままで、ノード j の電位は 0 V から 3 V になる。このノード j の変化により、ノード l の電位は 3.5 V から 3 V 程度上昇することになり、ノード n は 3.5 V から 0 V になる。また、ノード k の電位は、第 5 の容量手段 3015 により、僅かに持ち上げられる。これにより、ノード m の電位も 3.5 V から GND 方向に降下する。よって、ノード o の電位は 3.5 V から GND（0 V）になり、ノード p は VDD（7 V）となり、OUT は GND（0 V）となる。続いて、CK 信号は L レベル（0 V）、H レベル（3 V）と変化するが、それに応じて、各ノードは、図 4 のように適正に変化することができる。

【0050】

この構成を用いることで、CK 信号振幅に対する補正インバータの閾値電位からの電位の変化を、CK 信号振幅と同程度にすることができ、より安定した動作が期待できる。また、基準電位として、CK 信号の中間電位を用いず、CK 信号の H レベル、L レベルを用いることにより、電源数の削減も可能である。

【0051】

実施形態 1、2 及び 3 では、リセット期間にだけリファレンス用スイッチから基準電位が入力するよう説明したが、必ずしもこの期間だけにリファレンス用スイッチをオンにする必要はない。つまり、リセット期間が終わる時点で、容量の一方の電極が基準電位になっていればよく、レベルシフタが動作していない期間に、リファレンス用スイッチがオンし、CK 取り込み期間が開始される前にリファレンス用スイッチがオフしても良い。

【0052】

また、レベルシフタが動作していない期間、出力インバータの出力は、L レベル

であった。これは、シフトレジスタのD-FFが動作する時に、HレベルのCK信号が必要とする設定であるためである。つまり、シフトレジスタのD-FFをLレベルのCK信号で動作させるようにシフトレジスタを設定した時には、レベルシフタが動作しない時の出力インバータの出力はHレベルとなる。この時の補正インバータの入力部は、電位固定用スイッチを介してVDDに接続し、出力インバータはN型TFTにスイッチを設け、必要な時のみGND電位が出力されるようにすれば良い。

【0053】

また、補正インバータの出力が不定の時の誤動作防止の手段として、前記実施形態では出力インバータのP型TFT或はN型TFTにスイッチを設ける例を示したが、必ずしもこの方法である必要はなく、例えば、アナログスイッチを補正インバータ以降に設け、補正インバータの出力が不定の時に、誤ったレベルを出力しないようにしても良い。

【0054】

また、CK取り込み用スイッチ、リファレンス用スイッチ、閾値セット用スイッチ、電位固定用スイッチは、CK信号電位、電源電位に応じて、N型TFTにしてもよいし、P型TFTにしても良いし、N型TFTとP型TFTの両方用いたアナログスイッチにしても良い。各制御信号も各スイッチの極性に合わせて反転信号を生成する等、適宜生成すればよい。

【0055】

また、レベルシフタが動作していない期間の補正インバータの入力部の電位固定について、前記実施形態では電位固定用スイッチを介して電源に接続すれば良いとしたが、補正インバータの入力部が電源電位になればよく、補正インバータの出力部と入力部をクロックドインバータを介してループ状に接続してもよい。また、補正インバータの入力部が、貫通電流が流れない電位になる様、補正インバータと繋がる容量手段の反対側の端子を所望の電位に固定しても良い。

[実施形態4]

次に、シフトレジスタの出力パルスから、レベルシフタの制御信号①、②、③及び④を生成するタイミングについて、図5を用いて説明する。

【0056】

図5にシフトレジスタを構成する第N段のD-フリップフロップ(D-FF)に付随する第N段のレベルシフタの制御信号を生成するのに必要な信号のタイミングチャートを示す。第N-2段のD-FFの出力Q5001、第N-2段のD-FFの反転出力Qb5002、第N-1段のD-FFの出力Q5003、第N-1段のD-FFの反転出力Qb5004を示す。

【0057】

リセット期間は信号①がHレベルとなる期間で、第N-2段のD-FFの出力Q5001と第N-1段のD-FFの反転出力Qb5004のNANDをとり、NAND出力を反転することで生成できる。CK信号の取り込み期間は信号②がHレベルとなる期間で、第N-1段のD-FFの出力Q5003を用いればよい。電位固定期間は信号③がHレベルとなる期間で、第N-2段のD-FFの出力Q5001と第N-1段のD-FFの出力Q5003のNORをとることで生成できる。また、出力インバータのVDD出力を制御する信号④は、信号②の反転信号を用いればよい。

【0058】

ただし、上記の説明は信号遅延が全くないとした場合の例である。実際には、信号遅延に注意して、制御信号を生成する必要がある。特に、貫通電流を防止するため、電位固定スイッチをオフにしてからリセット期間を開始すること、入力した基準電位が変化してしまうのを防止するため、リセット期間が終了してからCK信号取り込み期間を開始すること、出力インバータのVDD出力制御の信号④は、CK信号取り込みが開始した後、ノイズの影響がなくなってからLレベルにするようにすることを注意する必要がある。

【0059】

また、実施形態4では、CK信号のレベルシフタの各制御信号を生成するのに、N-2段のD-FFとN-1段のD-FFの出力を用いて生成する例を説明したが、必ずしもこれに限る必要はない。リセット期間にN-3段のD-FFの出力を用い、CK信号取り込み期間にN-1段のD-FFの出力を用いて生成しても良い。要するにシフトレジスタの出力パルスから効率良く生成すれば良い。

【0060】

このようにして、シフトレジスタの出力パルスからレベルシフタの制御信号を生成することができる。

【実施例】

以下に、本発明の実施例について記載する。

【0061】

実施形態 1、2 及び 3 のレベルシフタを用いてシフトレジスタを構成する時の各段の D-F F とレベルシフタの接続関係を説明する。

【0062】

[実施例 1]

図 6 に本実施形態のレベルシフタを用いたシフトレジスタの構成例を示す。

【0063】

前記シフトレジスタは複数段のレベルシフタ (LS) 6001 と D-F F 6002 により構成されている。第 N 段のレベルシフタの入力 N1 と N2 には、それぞれ第 N-2 段の D-F F の出力 Q と第 N-1 段の D-F F の出力 Q が接続され、第 N 段のレベルシフタの出力 OUT は、第 N-1 段の D-F F の CK2 と第 N 段の D-F F の CK1 に接続される。第 N 段の D-F F の入力 IN には第 N-1 段の D-F F の出力 Q が接続され、第 N 段の D-F F の出力 Q は第 N+1 段の D-F F の入力 IN に接続される。また、第 N 段の D-F F の CK2 には第 N+1 段のレベルシフタの出力 OUT が接続される。

【0064】

[実施例 2]

続いて図 7 (A) に前記 D-F F 6002 の構成例について、図 7 (B) にタイミングチャートを示す。

【0065】

前記 D-F F 6002 は直列に接続された第 1 のクロックドインバータ 7001 及びインバータ 7002 と、前記インバータとループ状に接続された第 2 のクロックドインバータ 7003 とを有する。第 1 のクロックドインバータ 7001 は直列に接続された第 1 の P 型 TFT 7004、第 2 の P 型 TFT 7005、第 1 の N 型 TFT 7006、第 2 の N 型 TFT 7007 から成り、第 2 のクロック

ドインバータ 7003 は直列に接続された第 3 の P 型 TFT 7008、第 4 の P 型 TFT 7009、第 3 の N 型 TFT 7010、第 4 の N 型 TFT 7011 から成る。

【0066】

第 2 の N 型 TFT 7007 及び第 3 の P 型 TFT 7008 は CK1 によりオンオフが制御され、第 1 の P 型 TFT 7004 及び第 4 の N 型 TFT 7011 は CK2 によりオンオフが制御されている。第 2 の P 型 TFT 7005 と第 1 の N 型 TFT 7006 のゲートには、前段の D-FF の出力 (IN) が入力される。

【0067】

図 7 (B) のタイミングチャートを用い、本実施例の動作について説明する。

【0068】

まず、期間 T1 において、IN にパルスが入力され、H レベルになり、第 2 の P 型 TFT 7005 がオフ、第 1 の N 型 TFT 7006 がオンする。続いて期間 T2 において、CK1 が H レベルになり、第 2 の N 型 TFT 7007 がオンし、ノード Qb が GND 電位となり、ノード Q が VDD 電位となる。続いて期間 T3 において、CK2 が H レベルになり、第 4 の N 型 TFT 7011 がオンし、ノード Qb は GND 電位のまま保持される。更に期間 T4 において、CK2 が L レベルになり、第 1 の P 型 TFT 7004 がオン、第 4 の N 型 TFT 7011 がオフし、ノード Qb は VDD 電位、ノード Q は GND 電位となる。

【0069】

[実施例 3]

実施形態 4 で、シフトレジスタの出力パルスからレベルシフタの制御信号を生成するタイミングを説明したが、実際に使用する時には、各制御信号の遅延を考慮してレベルシフタに入力する必要がある。その具体例を示す。

【0070】

図 8 (A) に、シフトレジスタの出力パルスから遅延を考慮したレベルシフタの制御信号①、②、③及び④を生成する回路の例を示す。図 8 (B) には、そのタイミングチャートを示す。

【0071】

第N段のレベルシフタの制御信号の生成について説明する。まず、第N-2段のD-FFの出力Qと第N-1段のD-FFの出力QをNOR 8 0 0 1に inputs し、NOR 8 0 0 1の出力を信号③とする。第N-2段のD-FFの出力QがHレベルになると、信号③はLレベルとなる。次に、第N-2段のD-FFの出力Qと、第N-1段のD-FFの出力Qを第1のインバータ 8 0 0 2で反転したものをNAND 8 0 0 3に inputs し、NAND 8 0 0 3の出力を第2のインバータ 8 0 0 4で反転させ、信号①を生成する。信号③と比較して、信号①の方が、第2のインバータ 8 0 0 4分遅延が多いため、信号③がLレベルに向かってから、信号①はHレベルに向かう。さらに、第2のインバータ 8 0 0 4に直列に複数のインバータを付加すると信号③のHレベルと信号①のHレベルが重なるタイミングが全くなくなり、貫通電流をなくすることができる。

【 0 0 7 2 】

また、直列に接続された第1のP型TFT 8 0 0 5、第2のP型TFT 8 0 0 6及びN型TFT 8 0 0 7の内、第2のP型TFT 8 0 0 6及びN型TFT 8 0 0 7のゲート電極に、第N-1段のD-FFの出力Qの反転パルスを入力し、第1のP型TFT 8 0 0 5のゲート電極に信号①を入力する。第1のP型TFT 8 0 0 5のソース電極はVDDに接続され、N型TFT 8 0 0 7のソース電極はGNDに接続され、第2のP型TFT 8 0 0 6及びN型TFT 8 0 0 7のドレイン電極は接続され、第3のインバータ 8 0 0 8、第4のインバータ 8 0 0 9、第5のインバータ 8 0 1 0、第6のインバータ 8 0 1 1、第7のインバータ 8 0 1 2が直列に接続されている。

【 0 0 7 3 】

第1のP型TFT 8 0 0 5のゲート電極に信号①が入力されているため、信号①がLレベルになってから、第3のインバータ 8 0 0 8の入力部がHレベルになる。さらに、第4のインバータにより反転させ、信号②を生成する。これにより、リセット期間とCK取り込み期間が重ならないようにする。

【 0 0 7 4 】

さらに、信号②を第5のインバータ 8 0 1 0、第6のインバータ 8 0 1 1及び第7のインバータ 8 0 1 2を介し、信号④を生成する。これにより、CK取り込み期間が始まってから、出力インバータがVDD出力可能となる。

【 0 0 7 5 】

[実施例 4]

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

【0076】

具体的に前記電子機器として、携帯情報端末（携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等）、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図9に示す。

【0077】

図9（A）表示ディスプレイであり、筐体9001、音声出力部9002、表示部9003等を含む。本発明の表示装置は表示部9003に用いることができる。表示装置は、パソコン用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

【0078】

図9（B）はモバイルコンピュータであり、本体9101、スタイラス9102、表示部9103、操作ボタン9104、外部インターフェイス9105等を含む。本発明の表示装置は表示部9103に用いることができる。

【0079】

図9（C）はゲーム機であり、本体9201、表示部9202、操作ボタン9203等を含む。本発明の表示装置は表示部9202に用いることができる。

【0080】

図（D）は携帯電話であり、本体9301、音声出力部9302、音声入力部9303、表示部9304、操作スイッチ9305、アンテナ9306等を含む。本発明の表示装置は表示部9304に用いることができる。

【0081】

以上のように、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0082】

【発明の効果】

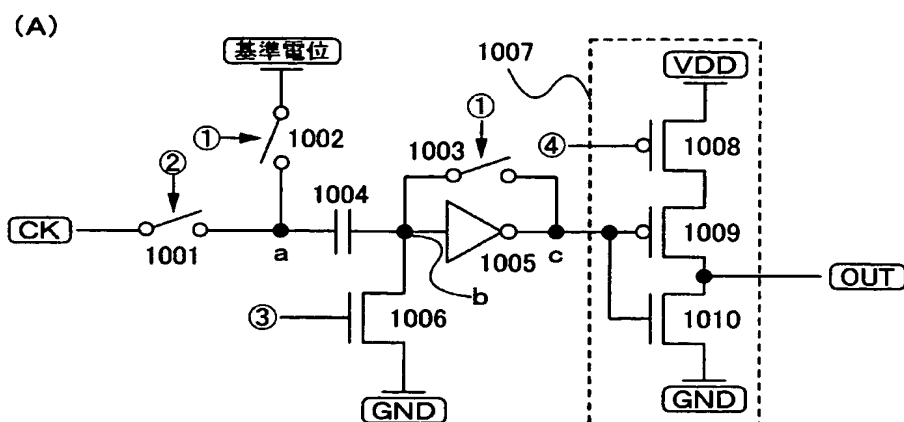
本発明は、ポリシリコンTFT等の特性ばらつきの大きなトランジスタを用いて、電源電圧より小さい振幅のCK信号でシフトレジスタを動作させる場合に大変有効である。本発明のシフトレジスタを用いることで、特性ばらつきの影響は殆ど無視できる。また、CK信号のレベルシフタは、シフトレジスタで発生するパルスを用いて制御し、CK信号の増幅が必要な短期間だけ動作させるため、貫通電流が流れる期間が短く、低消費電力のシフトレジスタを提供することができる。

【図面の簡単な説明】

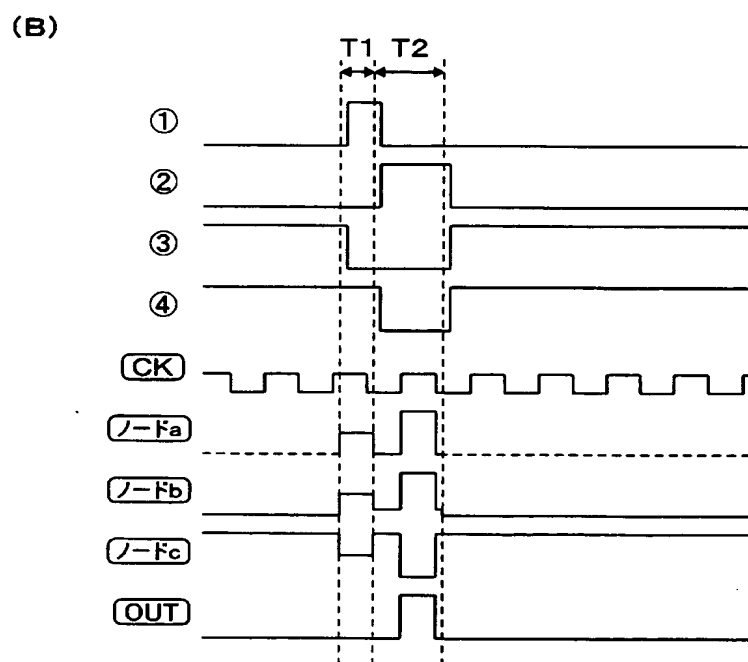
- 【図1】 本発明の一実施形態を示す図。
- 【図2】 本発明の一実施形態を示す図。
- 【図3】 本発明の一実施形態を示す図。
- 【図4】 実施形態3におけるタイミングを示す図。
- 【図5】 制御信号のタイミングを示す図。
- 【図6】 本発明が適用可能なシフトレジスタの構成を示す図。
- 【図7】 D-FFの構成を示す図。
- 【図8】 本発明における制御信号の生成方法の例を示す図。
- 【図9】 本発明が適用可能な電子機器の例を示す図。
- 【図10】 インバータの特性を示す図。

【書類名】 図面

【図 1】

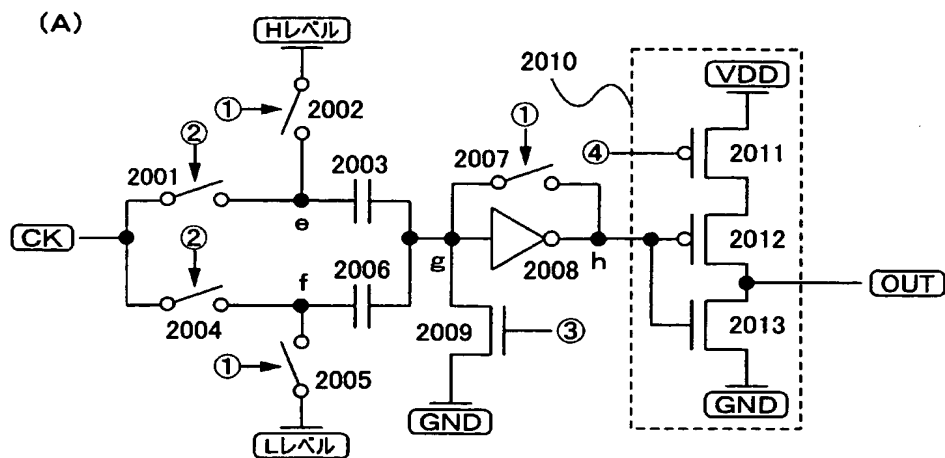


1001: CK取り込み用スイッチ	1006: 電位固定用スイッチ
1002: リファレンス用スイッチ	1007: 出カインバータ
1003: 閾値セット用スイッチ	1008: 第1のP型TFT
1004: 容量手段	1009: 第2のP型TFT
1005: 補正インバータ	1010: N型TFT



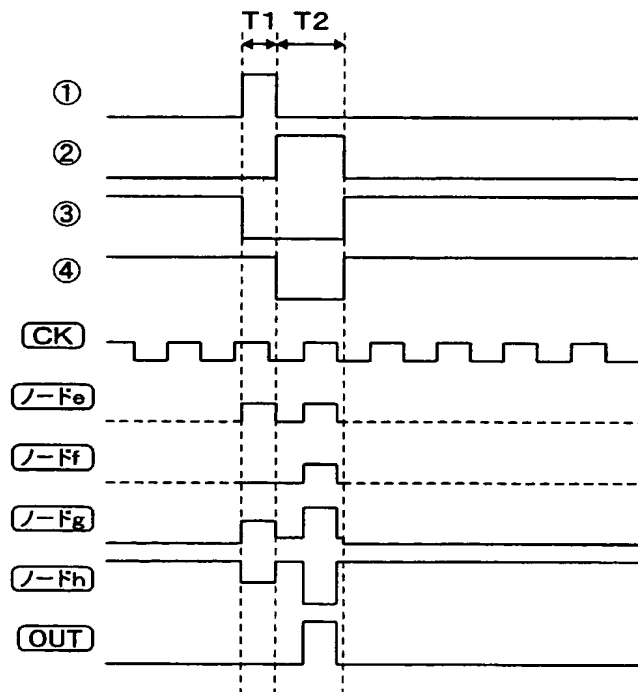
BEST AVAILABLE COPY

【図 2】



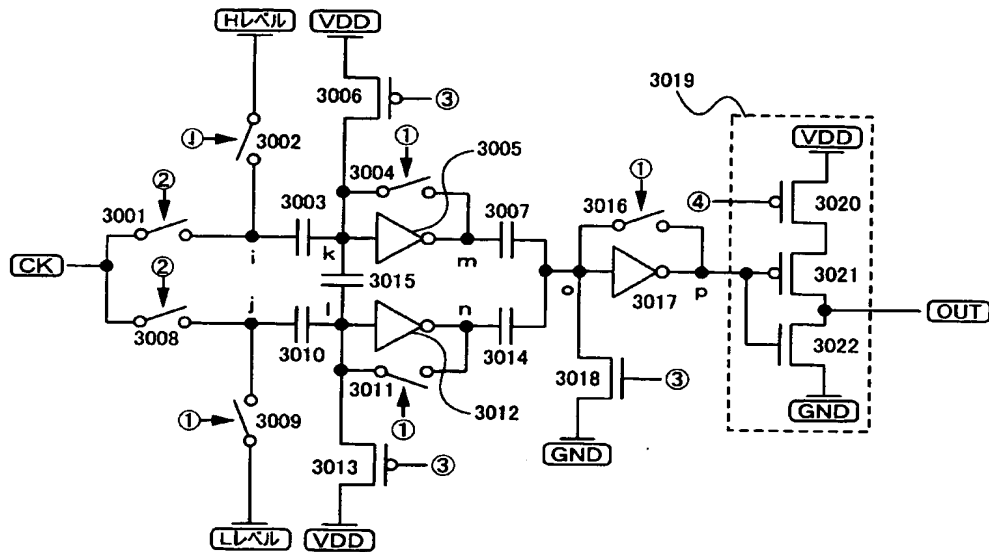
- | | |
|----------------------|-----------------|
| 2001: 第1のCK取り込み用スイッチ | 2008: 補正インバータ |
| 2002: 第1のリファレンス用スイッチ | 2009: 電位固定用スイッチ |
| 2003: Hセット用容量手段 | 2010: 出力インバータ |
| 2004: 第2のCK取り込み用スイッチ | 2011: 第1のP型TFT |
| 2005: 第2のリファレンス用スイッチ | 2012: 第2のP型TFT |
| 2006: Lセット用容量手段 | 2013: N型TFT |
| 2007: 閾値セット用スイッチ | |

(B)



BEST AVAILABLE COPY

【図 3】

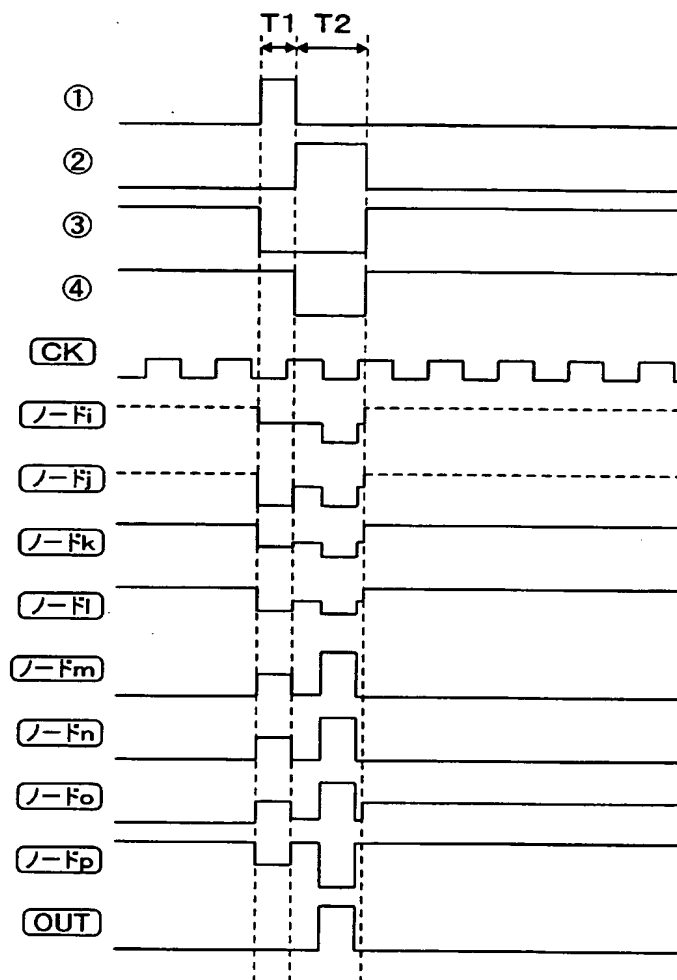


3001: 第1のCK取り込み用スイッチ
 3002: 第1のリファレンス用スイッチ
 3003: 第1の容量手段1
 3004: 第1の閾値セット用スイッチ
 3005: 第1の補正インバータ
 3006: 第1の電位固定用スイッチ
 3007: 第2の容量手段
 3008: 第2のCK取り込み用スイッチ
 3009: 第2のリファレンス用スイッチ
 3010: 第3の容量手段
 3011: 第2の閾値セット用スイッチ

3012: 第2の補正インバータ
 3013: 第2の電位固定用スイッチ
 3014: 第4の容量手段
 3015: 第5の容量手段
 3016: 第3の閾値セット用スイッチ
 3017: 第3の補正インバータ
 3018: 第3の電位固定用スイッチ
 3019: 出カインバータ
 3020: 第1のP型TFT
 3021: 第2のP型TFT
 3022: N型TFT

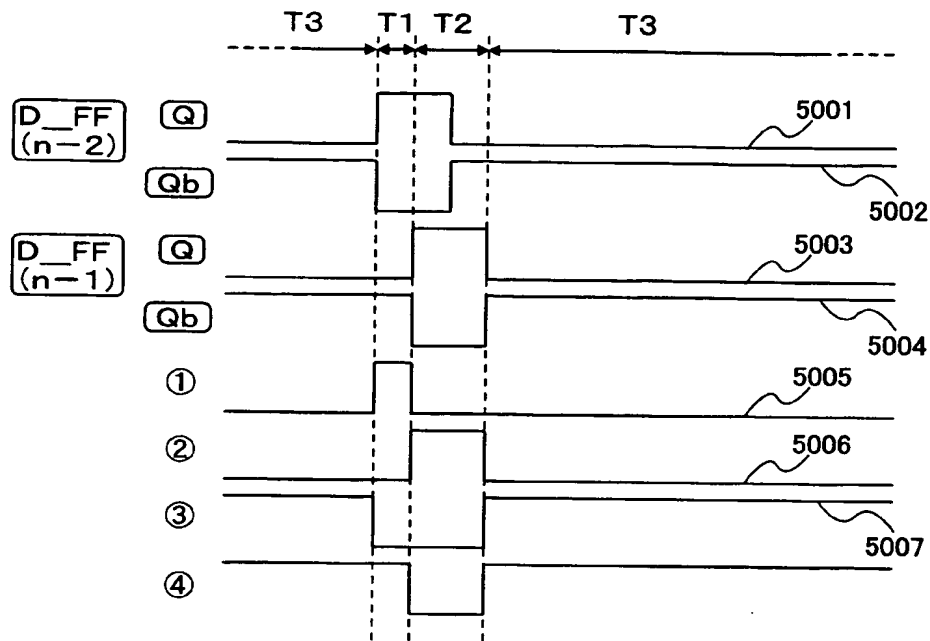
BEST AVAILABLE COPY

【図 4】

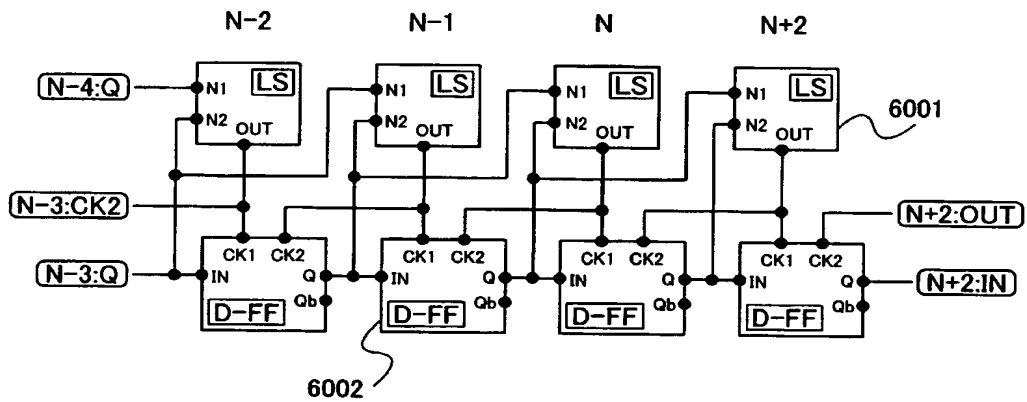


BEST AVAILABLE COPY

【図 5】

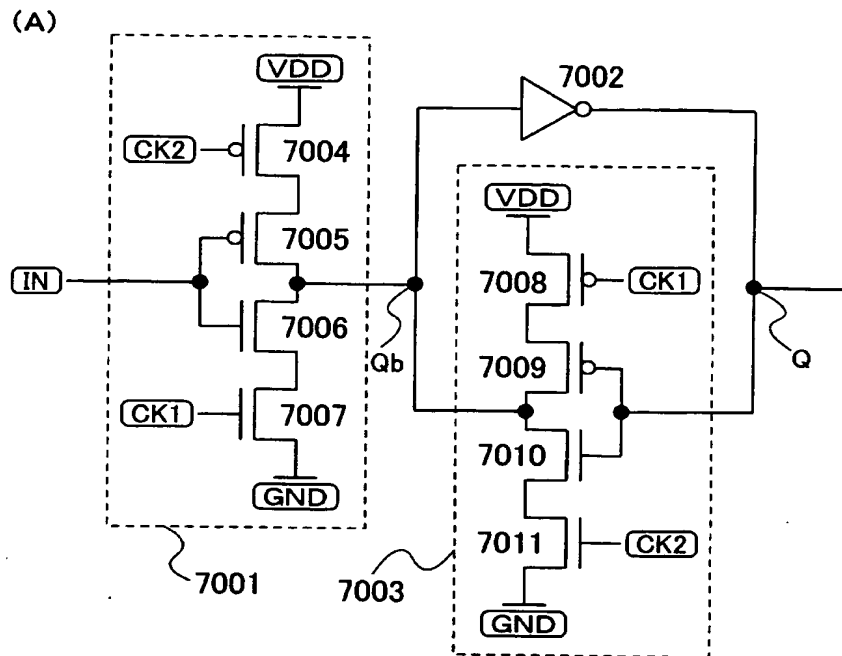


【図 6】



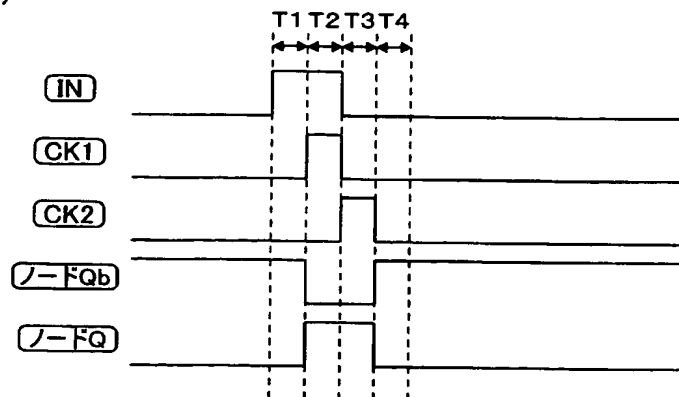
BEST AVAILABLE COPY

【図 7】



7001: 第1のクロックインバータ	7007: 第2のN型TFT
7002: インバータ	7008: 第3のP型TFT
7003: 第2のクロックインバータ	7009: 第4のP型TFT
7004: 第1のP型TFT	7010: 第3のN型TFT
7005: 第2のP型TFT	7011: 第4のN型TFT
7006: 第1のN型TFT	

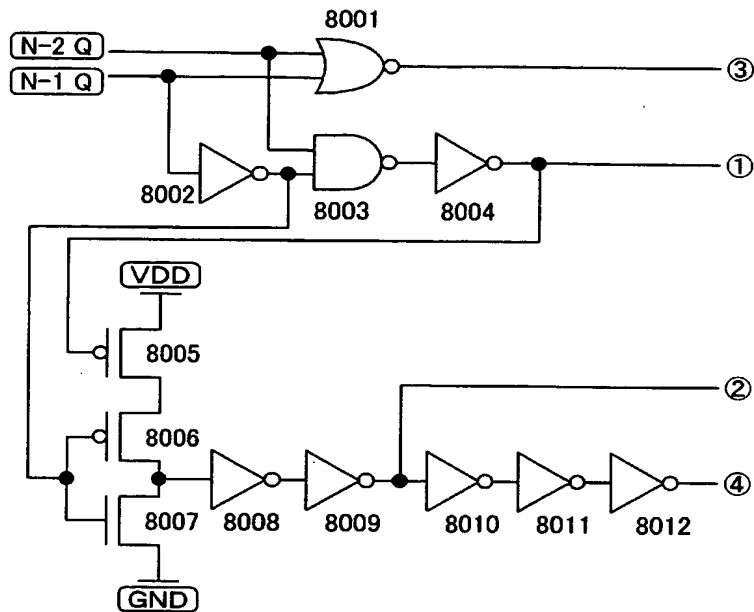
(B)



BEST AVAILABLE COPY

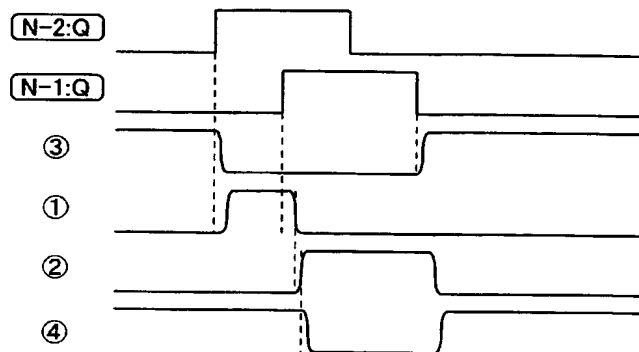
【図 8】

(A)



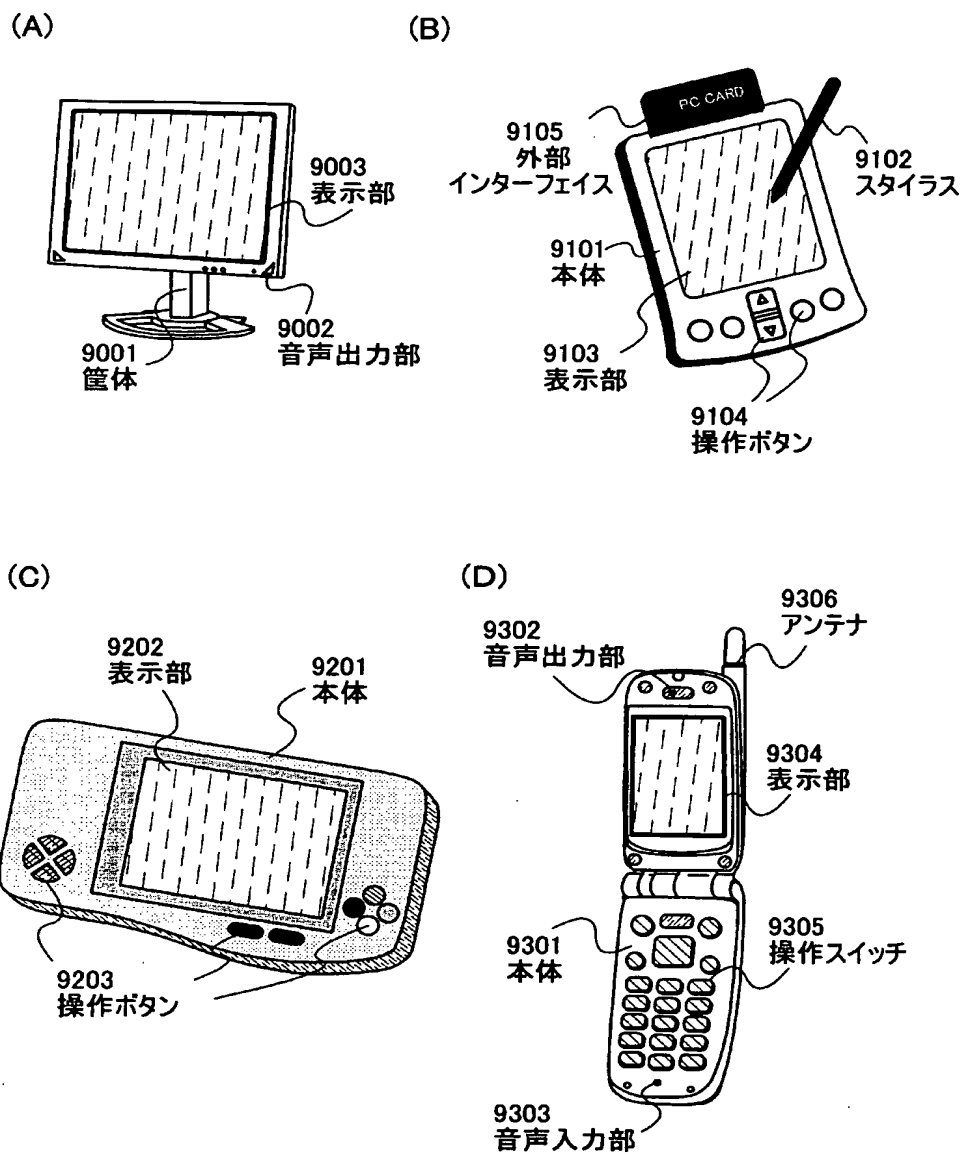
8001 : NOR	8007 : N型TFT
8002 : 第1のインバータ	8008 : 第3のインバータ
8003 : NAND	8009 : 第4のインバータ
8004 : 第2のインバータ	8010 : 第5のインバータ
8005 : 第1のP型TFT	8011 : 第6のインバータ
8006 : 第2のP型TFT	8012 : 第7のインバータ

(B)



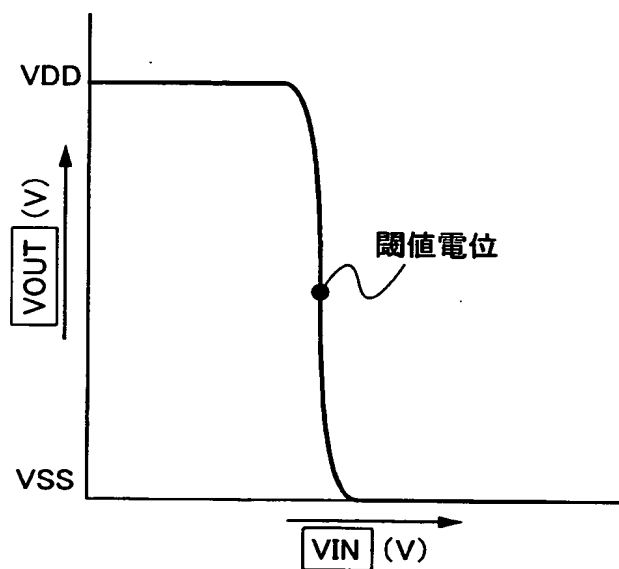
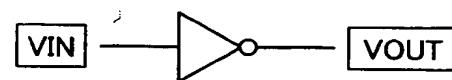
BEST AVAILABLE COPY

【図 9】



BEST AVAILABLE COPY

【図 10】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 トランジスタの特性ばらつきの影響を殆ど受けない、低電圧CK信号入力、かつ、低消費電力のシフトレジスタを提供する。

【解決方法】 インバータの入力部を前記インバータの閾値電位にし、前記インバータの入力部に容量手段を介してCK信号を入力することで、CK信号は増幅され、その増幅したCK信号をシフトレジスタに用いる。つまり、インバータの閾値電位を取得することで、トランジスタの特性ばらつきに殆ど影響しないシフトレジスタを提供することができる。

また、CK信号のレベルシフタは、シフトレジスタの出力パルスを用いて生成した制御信号により動作するため、CK信号の増幅が必要な短期間だけ動作する。これにより、CK信号のレベルシフタは貫通電流が流れる期間が短く、低消費電力のシフトレジスタを提供することができる。

【選択図】 図1

特願 2 0 0 2 - 3 6 8 8 8 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所